

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-125148

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 07-169872

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.07.1995

(72)Inventor : ARITOME SEIICHI

(30)Priority

Priority number : 06207344

Priority date : 31.08.1994

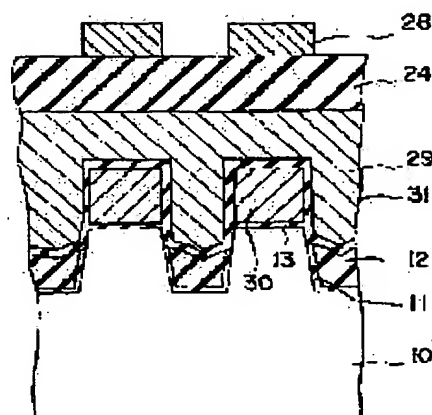
Priority country : JP

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To prevent misalignment between a floating gate and an element region by employing at least a part of the side face of an isolation trench filled with a conductive film as a part of the channel part of a transistor.

CONSTITUTION: An n type silicon substrate 10 is provided with an isolation trench 11 which is then filled with an insulation film 12. A first gate insulation film (tunnel oxide) 13 is formed on the surface of the substrate 10 and a first gate electrode (floating gate) 30 is formed thereon of a first layer conductive film. Furthermore, a second gate electrode (control gate) 29 is formed of a second conductive film while filling the trench 11 through a second gate insulation film. Consequently, a transfer transistor having the floating gate 30 formed on the surface of the substrate through the tunnel oxide film 13 and the control gate 29 covering the side face of the trench 11, as a gate electrode, can be obtained. This structure prevents misalignment between the floating gate 30 and the element region.



LEGAL STATUS

[Date of request for examination]

28.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-125148

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115
21/8247
29/788

H 0 1 L 27/ 10 4 3 4
29/ 78 3 7 1

審査請求 未請求 請求項の数 8 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願平7-169872

(22) 出願日 平成7年(1995)7月5日

(31) 優先権主張番号 特願平6-207344

(32) 優先日 平6(1994)8月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 有留 誠一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

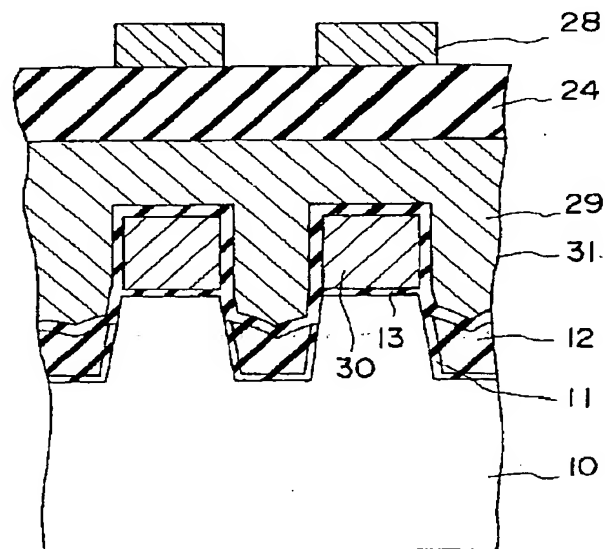
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 合わせずれによるメモリセル特性のバラツキをなくし、高集積化、高信頼化をはかり得る半導体記憶装置を提供すること。

【解決手段】 半導体基板上に複数のメモリセルが配列形成され、各メモリセル間の少なくとも一部の半導体基板に素子分離用溝が形成され、この素子分離用溝の一部が素子分離用絶縁膜で埋め込まれ、かつ素子分離用溝の残部が導電性膜で埋め込まれた半導体記憶装置において、前記導電性膜で埋め込まれた前記素子分離用溝の側面の少なくとも一部をメモリセルトランジスタのチャネル部の一部とすること。



1

【特許請求の範囲】

【請求項 1】半導体基板上に複数のメモリセルが配列形成され、各メモリセル間の少なくとも一部の半導体基板に素子分離用溝が形成され、この素子分離用溝の一部が素子分離用絶縁膜で埋め込まれ、かつ素子分離用溝の残部が導電性膜で埋め込まれた半導体記憶装置において、前記導電性膜で埋め込まれた前記素子分離用溝の側面の少なくとも一部をトランジスタのチャネル部の一部とし、そのしきい値を選択された前記トランジスタのゲート電極に印加する読出し電圧よりも高く設定することを特徴とする半導体記憶装置。

【請求項 2】前記素子分離用溝の側面の少なくとも一部をチャネル部とするトランジスタが、他の部分をチャネル部とするトランジスタとソース及びドレイン拡散層を共有していることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】半導体基板上に第 1 の絶縁膜を介して第 1 の導電層が、この第 1 の導電層上に第 2 の絶縁膜を介して第 2 の導電層がそれぞれ形成されてなるメモリセルを複数個接続しマトリックス状に配設してメモリアレイを構成してなり、前記メモリセルの分離領域の少なくとも一部の半導体基板に素子分離用溝が形成され、この素子分離用溝の一部が素子分離用絶縁膜で埋め込まれ、かつ素子分離用溝の残部が前記第 2 の導電性膜で埋め込まれた不揮発性半導体記憶装置において、前記第 1 の導電層は、基板表面の第 1 のチャネル領域をチャネル幅方向に少なくとも部分的に覆い、前記第 1 の導電層を電荷蓄積層、第 2 の導電層を制御ゲートとするメモリセルを構成し、前記第 2 の導電性膜で埋め込まれた前記素子分離用溝の側面の少なくとも一部を第 2 のチャネル領域の一部とし、前記第 2 の導電性膜をゲートとするトランジスタを構成し、前記第 2 の導電膜をゲートとするトランジスタのしきい値電圧を、読出し時に選択された前記制御ゲートに印加する電圧よりも高くすることを特徴とする不揮発性半導体記憶装置。

【請求項 4】前記素子分離用溝の側面の少なくとも一部をチャネル部とするトランジスタが、前記メモリセルとソース及びドレイン拡散層を共有していることを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】半導体基板上に第 1 の絶縁膜を介して第 1 の導電層が、この第 1 の導電層上に第 2 の絶縁膜を介して第 2 の導電層がそれぞれ形成されてなるメモリセルを複数個接続しマトリックス状に配設してメモリアレイを構成してなり、前記メモリセルの分離領域の少なくとも一部の半導体基板に素子分離用溝が形成され、この素子分離用溝の一部が素子分離用絶縁膜で埋め込まれ、かつ素子分離用溝の残部が前記第 2 の導電性膜で埋め込まれた不揮発性半導体記憶装置において、前記第 1 の導電層は、基板表面の第 1 のチャネル領域をチャネル幅方向に少なくとも部分的に覆い、前記第 1 の

2

導電層を電荷蓄積層、第 2 の導電層を制御ゲートとするメモリセルを構成し、前記第 2 の導電性膜で埋め込まれた前記素子分離用溝の側面の少なくとも一部を第 2 のチャネル領域の一部とし、前記第 2 の導電性膜をゲートとするトランジスタを構成し、2 準位以上の n 個の準位を構成するメモリセルにおいて前記第 2 の導電膜をゲートとするトランジスタのしきい値電圧を、しきい値の低い方から $n - 1$ 番目と n 番目の準位を判定する読出し時に選択された前記制御ゲートに印加する電圧よりも高くすることを特徴とする不揮発性半導体記憶装置。

【請求項 6】前記素子分離用溝の側面の少なくとも一部をチャネル部とするトランジスタが、前記メモリセルとソース及びドレイン拡散層を共有していることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】半導体基板上に第 1 の絶縁膜を介して第 1 の導電層が、この第 1 の導電層上に第 2 の絶縁膜を介して第 2 の導電層がそれぞれ形成されてなるメモリセルを複数個ずつ直列に接続して NAND セルを構成し、この NAND セルをマトリックス状に配設してメモリアレイを構成してなり、前記メモリセルの分離領域の少なくとも一部の半導体基板に素子分離用溝が形成され、この素子分離用溝の一部が素子分離用絶縁膜で埋め込まれ、かつ素子分離用溝の残部が前記第 2 の導電性膜で埋め込まれた不揮発性半導体記憶装置において、前記第 1 の導電層は、基板表面の第 1 のチャネル領域をチャネル幅方向に少なくとも部分的に覆い、前記第 1 の導電層を電荷蓄積層、第 2 の導電層を制御ゲートとするメモリセルを構成し、前記第 2 の導電性膜で埋め込まれた前記素子分離用溝の側面の少なくとも一部を第 2 のチャネル領域の一部とし、前記第 2 の導電性膜をゲートとするトランジスタを構成し、前記第 2 の導電膜をゲートとするトランジスタのしきい値電圧を、読出し時に選択された NAND セルの選択された前記制御ゲートに印加する電圧よりも高く、選択された NAND セルの選択されない制御ゲートに印加する電圧よりも低くすることを特徴とする不揮発性半導体記憶装置。

【請求項 8】半導体基板上に第 1 の絶縁膜を介して第 1 の導電層が、この第 1 の導電層上に第 2 の絶縁膜を介して第 2 の導電層がそれぞれ形成されてなるメモリセルを複数個ずつ直列に接続して NAND セルを構成し、この NAND セルをマトリックス状に配設してメモリアレイを構成してなり、前記メモリセルの分離領域の少なくとも一部の半導体基板に素子分離用溝が形成され、この素子分離用溝の一部が素子分離用絶縁膜で埋め込まれ、かつ素子分離用溝の残部が前記第 2 の導電性膜で埋め込まれた不揮発性半導体記憶装置において、前記第 1 の導電層は、基板表面の第 1 のチャネル領域をチャネル幅方向に少なくとも部分的に覆い、前記第 1 の導電層を電荷蓄積層、第 2 の導電層を制御ゲートとするメモリセルを構成し、前記第 2 の導電性膜で埋め込まれ

3

た前記素子分離用溝の側面の少なくとも一部を第2のチャネル領域の一部とし、前記第2の導電性膜をゲートとするトランジスタを構成し、前記電荷蓄積層に蓄える電荷を変えて2準位以上のn個の準位を構成するメモリセルにおいて、前記第2の導電膜をゲートとするトランジスタのしきい値電圧を、しきい値の低い方からn-1番目とn番目の準位を判定する読出し時に選択されたNANDセルの選択された前記制御ゲートに印加する電圧よりも高く、選択されたNANDセルの選択されない制御ゲートに印加する電圧よりも低くすることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS構造の半導体記憶装置に係わり、特に浮遊ゲート（電荷蓄積層）と制御ゲートを有する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】不揮発性メモリの分野で、浮遊ゲートを有するMOSFET構造のメモリセルを用いた電氣的書換え可能な不揮発性メモリ装置は、EEPROMとして知られている。この種のEEPROMのメモリアレイは、互いに交差する行線と列線の各交点にメモリセルを配置して構成される。実際のパターン上では、二つのメモリセルのドレインを共通にし、ここに列線がコンタクトするようにしてコンタクト部のセル占有面積をできるだけ小さくしている。しかし、このようにしても、二つのメモリセルの共通ドレイン毎に列線とのコンタクト部を必要とし、このコンタクト部がセル占有面積の大きい部分を占めている。

【0003】これに対して最近、メモリセルを直列接続してNANDセルを構成し、コンタクト部を大幅に減らすことを可能としたEEPROMが提案されている。このNANDセルでは、一括して浮遊ゲートから電子を放出する全面消去（一括消去）を行った後、選択されたメモリセルだけについて、浮遊ゲートに電子を注入させる書込みを行う。全面消去時には、制御ゲートを“L”レベルにして、ウエルは“H”レベルにする。選択書込みでは、ソース側のセルからドレイン側のセルへと順番に書込んで行く。その場合、選択されたセルの電位は、ドレインが“L”レベルから中間レベル、制御ゲートは“H”レベルとなり、これにより浮遊ゲートに基板から電子が注入される。

【0004】選択されたセルよりもドレイン側にある非選択セルでは、ドレインに印加された電位を選択されたセルまで伝達するために、制御ゲートの電位をドレインに印加する電位と同程度にする必要がある。何故なら、ドレインに印加された電圧は、制御ゲートに印加された電圧からセルのしきい値電圧を差引いた電圧までしかソース側に伝達されないからである。

【0005】ところが、従来提案されているNANDセ

4

ルでは、浮遊ゲートがチャネル領域を横切って配設されているため、セルのしきい値電圧は浮遊ゲートの電位によって一義的に決定される。従って、読出し時に、非選択セルの制御ゲートに印加する電圧（通常Vcc）よりもセルのしきい値電圧が高くなった場合は、非選択セルはONせず、選択セルのデータは読出せない。

【0006】図14に、この場合のメモリセルのしきい値分布を示す。読出し時、非選択セルの制御ゲート（CG）にVcc=4.5～5.5Vを印加し、書込み側、消去側両方のメモリセルをONさせる。もし、書込み側のメモリセルしきい値がVccより高くなる（例えば6V）と、選択セルはONせずに読出せない。

【0007】このようにメモリセルのしきい値電圧が浮遊ゲート電位で決定されると、書込みを行った時のしきい値電圧のバラツキの結果、あるメモリセルのしきい値電圧が高くなり、読出しを行う時の非選択セルの制御ゲート電圧ではメモリセルがONできなくなる可能性が生じる。

【0008】そこで従来、図11～13に平面図、等価回路図及び断面図を示すようなNANDセルが提案されている。即ち、素子分離領域2により分離された基板1の領域には、ソース・ドレインを構成する拡散層7が形成されていると共に、第1のゲート絶縁膜3₂を介して浮遊ゲート4（4₁～4₄）、第2のゲート絶縁膜3₁及び第3のゲート絶縁膜3₃を介して制御ゲート6（6₁～6₄）が設けられ、層間絶縁膜8を介してビット線9が配置されている。このNANDセルは、浮遊ゲート4がチャネル部の一部にかかった構造を有しており、浮遊ゲート4がチャネル領域を完全に横切っていない状態、即ちチャネル領域をそのチャネル幅方向に関して部分的に覆う状態とし、覆っていない部分に図11、12に示すトランジスタ（T₁～T₄）を形成し、メモリセルの正方向のしきい値電圧がこの浮遊ゲート4が覆っていないチャネル領域部分で決定されるようにしたことを特徴としている。

【0009】しかしながら、このセルでは次のような問題がある。即ち、素子領域と浮遊ゲートの合わせずれが生じると素子特性が大きく変化するという問題がある。図11及び図13（a）に示すように、素子領域と浮遊ゲートの合わせずれにより浮遊ゲート4とゲート絶縁膜3₂とのオーバーラップxが変化してしまい、このxの変化により、浮遊ゲート部分のメモリセルの特性、特にカップリング比が変化し、それによって書込み電圧、読出し電流が大きく変化する。また、浮遊ゲートで覆っていない部分のTr（図11、12でT₁～T₄）の特性もバラツキ、この合わせずれのため、全体としてメモリセルの特性が大きく変化してしまう。

【0010】また、高集積化に伴ってチャネル幅を小さくすると、この合わせずれはさらに大きくなり、メモリセルの特性に影響を与える。このため、高集積化、微細

5

化すると、この合わせずれの問題はさらに顕在化し、高集積化、微細化の妨げになっていた。

【0011】

【発明が解決しようとする課題】このように、従来の浮遊ゲートがチャネル部の一部にかかるNAND型メモリセルでは、浮遊ゲートと素子領域の合わせずれにより、メモリセルの特性が大きく変化するという問題があった。さらに、微細化に伴いこの問題は大きくなり、微細化を妨げる大きな要因になっている。

【0012】本発明は、上記事情を考慮してなされたもので、その目的とするところは、合わせずれによるメモリセル特性のバラツキをなくし、高集積化、高信頼化をはかり得る半導体記憶装置を提供することにある。

【0013】

【課題を解決するための手段】

（概要）上記課題を解決するために、本発明は次のような構成を採用している。即ち、本発明（請求項1）は、半導体基板上に複数のメモリセルが配列形成され、各メモリセル間の少なくとも一部の半導体基板に素子分離用溝が形成され、この素子分離用溝の一部が素子分離用絶縁膜で埋め込まれ、かつ素子分離用溝の残部が導電性膜で埋め込まれた半導体記憶装置において、前記導電性膜で埋め込まれた前記素子分離用溝の側面の少なくとも一部をトランジスタのチャネル部の一部とし、そのしきい値を選択された前記トランジスタのゲート電極に印加する読出し電圧よりも高く設定することを特徴とする。

【0014】また、本発明（請求項3）は、半導体基板上に第1の絶縁膜を介して第1の導電層が、この第1の導電層上に第2の絶縁膜を介して第2の導電層がそれぞれ形成されてなるメモリセルを複数個接続しマトリクス状に配設してメモリアレイを構成してなり、前記メモリセルの分離領域の少なくとも一部の半導体基板に素子分離用溝が形成され、この素子分離用溝の一部が素子分離用絶縁膜で埋め込まれ、かつ素子分離用溝の残部が前記第2の導電性膜で埋め込まれた不揮発性半導体記憶装置において、前記第1の導電層は、基板表面の第1のチャネル領域をチャネル幅方向に少なくとも部分的に覆い、前記第1の導電層を電荷蓄積層、第2の導電層を制御ゲートとするメモリセルを構成し、前記第2の導電性膜で埋め込まれた前記素子分離用溝の側面の少なくとも一部を第2のチャネル領域の一部とし、前記第2の導電性膜をゲートとするトランジスタを構成し、前記第2の導電膜をゲートとするトランジスタのしきい値電圧を、読出し時に選択された前記制御ゲートに印加する電圧よりも高くすることを特徴とする。

【0015】また、本発明（請求項5）は、（請求項3）と同様の構成において、2準位以上の n 個の準位を構成するメモリセルにおいて前記第2の導電膜をゲートとするトランジスタのしきい値電圧を、しきい値の低い方から $n-1$ 番目と n 番目の準位を判定する読出し時に

6

選択された前記制御ゲートに印加する電圧よりも高くすることを特徴とする。

【0016】また、本発明（請求項7）は、（請求項3）で複数のメモリセルを直列接続してNANDセルを構成し、前記第2の導電膜をゲートとするトランジスタのしきい値電圧を、読出し時に選択されたNANDセルの選択された前記制御ゲートに印加する電圧よりも高く、選択されたNANDセルの選択されない制御ゲートに印加する電圧よりも低くすることを特徴とする。

【0017】また、本発明（請求項8）は、（請求項3）で複数のメモリセルを直列接続してNANDセルを構成し、前記電荷蓄積層に蓄える電荷を変えて2準位以上の n 個の準位を構成するメモリセルにおいて、前記第2の導電膜をゲートとするトランジスタのしきい値電圧を、しきい値の低い方から $n-1$ 番目と n 番目の準位を判定する読出し時に選択されたNANDセルの選択された前記制御ゲートに印加する電圧よりも高く、選択されたNANDセルの選択されない制御ゲートに印加する電圧よりも低くすることを特徴とする。

（作用）本発明の半導体記憶装置によれば、半導体基板に形成された素子分離溝の側面をトランジスタのチャネルとして用い、基板表面を浮遊ゲートを介してメモリセルとして構成しているために、基板表面の浮遊ゲートで覆われない部分をチャネルとする従来のメモリセルのように、合わせずれによる特性のバラツキを生じることがなく、均一な特性を有するメモリセルを得ることができる。

【0018】また、溝の側面をチャネルとして用いているため、メモリセルの面積を増加させることなく、微細なメモリを形成することができ、低コスト化を図ることが可能である。

【0019】

【発明の実施の形態】以下、図面を参照して、本発明の一実施形態に係わる不揮発性半導体記憶装置（NAND型EEPROM）について説明する。図1は、2つのNANDセル部分を示す平面図、図2は図1の矢視A-A'断面図（メモリセル部分）、図3は図1の矢視B-B'断面図である。なお、図1において、M（ $M_1 \sim M_8$ ）はメモリセル、S（ S_1, S_2 ）は選択トランジスタをそれぞれ示している。

【0020】図1～3において、 n 型シリコン基板10には素子分離用溝（トレンチ）11が設けられ、この素子分離用溝（トレンチ）11には、絶縁膜12が埋め込まれている。 n 型シリコン基板10の表面には第1のゲート絶縁膜（トンネル酸化膜）13が形成され、このゲート絶縁膜13上には、第1層導電膜からなる第1のゲート電極（浮遊ゲート）30（301～308）が形成されている。また、更に、第2のゲート絶縁膜を介して、トレンチ内を埋め込むように第2層導電膜からなる第2のゲート電極（制御ゲート）29が設けられ、その

7

上には層間絶縁膜 24 が形成されている。なお、参照数字 17 は素子分離領域、18 は素子領域、23 はソース・ドレイン拡散層をそれぞれ示している。

【0021】 以上のように、本実施形態では、基板表面にトンネル酸化膜 13 を介して浮遊ゲート 30、及び制御ゲート 29 が形成され、素子分離に用いている溝の側面を覆う制御ゲート 29 をゲート電極として含むトランスファートランジスタとしている。このような構造により、合わせずれによるメモリセルの特性変化は抑制されるようになっている。また、本実施形態に係わるメモリセルにおいては、浮遊ゲートの側壁部も浮遊ゲートと制御ゲート間の容量として利用するために、カップリング*

8

*比を大きくでき、かつゲート幅との兼ね合いによりカップリング比を制御することが出来るという特徴を有する。

【0022】 図 4 に、図 1～3 に示す NAND セルの等価回路の一例を示す。図 4 は、4 つのセルを直列につないだものである。T₁～T₄ はトレンチ分離の側面をチャネルとするトランスファートランジスタ、M₁～M₄ は基板上に形成したフローティングゲートを有するメモリセル部である。図 1～3 に示す NAND セルの各部の動作電圧は、下記の (表 1) の通りである。

【0023】

【表 1】

	一括消去	選択書込み	選択読出し
BL1	フローティング	0	5V
BL2	フローティング	$1/2 V_{pp} = V_m$	5V
SG1	V_{pp}	V_m	5V
SG2	V_{pp}	0V	5V
CG1	0	V_m	5V
CG2	0	V_{pp}	0V
CG3	0	V_m	5V
CG4	0	V_m	5V
Vss	フローティング	0V	0V
Vp-well	V_{pp}	0V	0V
Vn-sub	V_{pp}	0V	0V

【0024】 本実施形態のメモリセルのしきい値分布について、図 15 に示す。メモリセルのしきい値 (浮遊ゲート部のしきい値) は、非選択ゲートに印加する V_{cc} 以上になってもメモリセルの T_r (T₁～T₄) が ON 状態になるため (T₁～T₄ のしきい値は 0～4V 程度)、しきい値を 0.5～3.5V の範囲に入れる必要はない。図 15 では、書込み後は約 1～7V の範囲に入っている。

【0025】 T₁～T₄ 部のしきい値は、以下のような範囲に設定される。しきい値の下限は、読出す時の選択された制御ゲートに印加される電圧で決まる。この場合は 0V である。しきい値の上限は、読出す時の非選択の制御ゲートに印加される電圧で決まる。この場合は 4.5～5.5V である。即ち、しきい値を 0～4.5V の範囲に設定しなければならない。

【0026】 次に、本実施形態のメモリセルの製造工程について、図 5 を参照して説明する。なお、これらの図は、図 1 の矢視 A-A' 断面に相当している。まず、図

5 (a) に示すように、例えば n 型シリコン基板 (図示せず) に、例えば表面硼素濃度 $1 \times 10^{16} \text{ cm}^{-3}$ の p ウエル 40 を形成し、ゲートが形成される領域にしきい値を調節するために適当なチャネルインプラを行う。続いて、p ウエル 40 の表面に、例えば 10nm の厚さの熱酸化膜 (ゲート絶縁膜) 13 を形成し、ゲート電極として第 1 層多結晶シリコン膜 30 を例えば 400nm の厚さに堆積する。次いで、多結晶シリコン膜 30 上に酸化膜 (図示せず) を例えば 18nm の厚さに形成した後、その上にトレンチ RIE 時のマスクとなる酸化膜 19 を CVD 法により例えば 350nm の厚さに堆積する。

【0027】 次いで、図 5 (b) に示すように、フォトリソグラフィ工程により素子分離領域形成のためのレジストのパターニングを行った後、このレジストパターン (図示せず) をマスクとして用いて CVD 酸化膜 19、多結晶シリコン膜 30、ゲート酸化膜 13 を異方性エッチングにより選択エッチングし、更に p ウエル 40 表面を異方性エッチングにより選択エッチングして、素子分

9

離用溝（トレンチ）11を形成する。このときのエッチングは、レジストパターンをマスクとして用いてCVD酸化膜19からシリコン基板10までをエッチングし、最後にレジストパターンを剥離してもよいし、レジストパターンをマスクとして用いてCVD酸化膜19をエッチングした後にレジストパターンを剥離し、CVD酸化膜19をマスクとして用いて多結晶シリコン膜30、ゲート酸化膜13、シリコン基板10をエッチングしてもよい。

【0028】次いで、トレンチ形成時に発生したダメージを除去するために、例えば窒素雰囲気或いは不活性ガス雰囲気中で熱処理を行い、またゲート酸化膜13のエッジを保護する意味も含めて、例えば塩化水素或いは水蒸気を含む酸化雰囲気中でトレンチ側壁部を熱酸化する。ここで、フィールド反転を防止するためにトレンチの側壁或いはトレンチの底に不純物を注入してもよい。

【0029】その後、図5(c)に示すように、トレンチを埋め込むように、例えばTEOSガスをを用いたCVD法により、 SiO_2 膜12を例えば1000nmの厚さに堆積する。次いで、多結晶シリコン膜30が露出し、トレンチの側壁の Si 基板の一部が露出するまで、酸化膜12をRIEによりエッチバックする。このとき、多結晶シリコン膜30がエッチバックのストップとして働く。このエッチバックには、レジストを用いたエッチバックの技術を用いてもよいし、またポリッシングを用いてもよい。

【0030】次に、多結晶シリコン膜30に例えば燐のドーピングを行い、多結晶シリコン膜30の燐濃度を $1 \times 10^{20} \text{cm}^{-3}$ とする。この多結晶シリコンのドーピングは多結晶シリコン膜30を堆積した直後に行ってもよい。次いで、例えばB（ボロン）を30keV、 $1 \times 10^{13} \text{cm}^{-2}$ 斜め60度からイオン注入し、トレンチ側壁部のしきい値を例えば2Vになるようにする。さらに、多結晶シリコン膜30上及びトレンチ側壁部にシリコン酸化膜或いはONO等の酸化膜31を、例えば20nmの厚さに形成する。このとき、例えば850～900℃のドライ O_2 中で熱酸化すると、多結晶シリコン上には約10～20nm厚形成されるが、トレンチ側壁部では約40nm厚の酸化膜が成長する。この膜は、浮遊ゲート上では制御ゲートとの間の容量膜として働き、トレンチ側壁部では、トランスファートランジスタのゲート絶縁膜になる。

【0031】次いで、図6(a)に示すように、セル部には制御ゲートとなる第2層多結晶シリコン膜29を、周辺部にはゲート電極となる第2層多結晶シリコン膜を、例えば200nmの厚さに堆積する。

【0032】次いで、図6(b)に示すように、ワード線方向のライン状レジストパターンをマスクとして用いて、第2層多結晶シリコン膜29(20)、酸化膜31、第1層多結晶シリコン膜30(15)をRIEによ

10

り選択エッチングし、ワード線方向にメモリセル及び選択トランジスタを分離する。そして、ソース・ドレイン拡散層を形成し、全面をCVD酸化膜で覆い、コンタクト孔を開けてA1膜によりビット線28を配設することによりメモリセルが完成する。

【0033】次に、他の実施形態に係わるメモリセルについて、図7を説明する。図7(a)に示す例では、トレンチ素子分離（溝）に埋め込まれた SiO_2 膜を、トレンチ1つおきに深くエッチングし、溝の側壁Tr（トランスファートランジスタ）のチャネル部を形成する。このように制御ゲート30の片側のみ SiO_2 膜を深くエッチングすることで、両側を深くエッチングする場合に比べ、トランスファートランジスタのチャネル幅は制御性がさらに向上する。

【0034】図7(b)に示す例では、トレンチ素子分離（溝）に埋め込まれた SiO_2 膜の幅方向の約半分を深くエッチングしている。図のように、 SiO_2 膜の幅方向の約半分をトレンチの底までエッチングすることで、チャネル幅はさらに制御性が向上する。

【0035】次に、本発明の更に他の実施形態について説明する。以上の実施形態に係わるメモリセルでは、浮遊ゲートと制御ゲートとの間の絶縁膜と、トランスファートランジスタのゲート絶縁膜とを同時に形成していたが、この実施形態では、それらを別々に形成している。

【0036】図8(a)(b)までの工程は、図5(a)(b)と同じ工程であるので、説明を省略する。本実施形態では、トレンチを埋めこんだCVD SiO_2 膜の12のエッチバック工程が異なる。即ち、図8

(c)に示すように、エッチバックRIEを多結晶シリコン膜30の側壁で止めるようにRIEを調節する。

【0037】次いで、図9(a)に示すように、浮遊ゲートと制御ゲートとの間の絶縁膜となる膜、例えば20nmの厚さのONO膜71を形成し、例えば多結晶シリコン膜72を50nmの厚さに堆積し、次いで耐酸化性膜である、例えば SiN 膜73を30nmの厚さに堆積形成する。このとき SiN 膜73は、浮遊ゲート30上は厚く、トレンチ上は薄く堆積する。

【0038】次いで、図9(b)に示すように、RIEによりトレンチ素子分離上の SiN 膜73を除去する。このとき、浮遊ゲート上は厚く堆積されているため、 SiN 膜73は全部除去されずに残すことができる。次に、トレンチ素子分離上の多結晶シリコン膜72、ONO膜71、及びトレンチ上部うめこみ SiO_2 膜をエッチング除去する。

【0039】その後、図10(a)に示すように、例えば熱酸化により、トランスファートランジスタのゲート酸化膜74を例えば50nmの厚さに形成する。さらに、浮遊ゲート30の側壁部の SiN 膜73を、例えばホットリン酸で選択的に除去する。

【0040】次いで、図10(b)に示すように、例え

11

ば多結晶シリコン膜 75 を 300 nm の厚さに堆積し、ドーピングを行う。このとき、先に形成した多結晶シリコン膜 72 と多結晶シリコン膜 75 とは電氣的に接触し、制御ゲートとなる。以下は、前の実施形態と同様の工程により、メモリセル構造が得られる。

【0041】この実施形態では、浮遊ゲートと制御ゲートとの間の絶縁膜とトランスファーゲート絶縁膜とが別々に形成できるため、それぞれのトランジスタの設計が容易になるという利点がある。

【0042】次に、図 16 及び図 17 を参照して本発明 10 の他の実施形態を示す。この実施形態では、1セルに 4 つのメモリーレベルを作る、いわゆる多値論理セルを示*

12

*している。図 16 に従来の 4 値のメモリセルのしきい値を示す。従来のメモリセルの V_{th} は、例えば“0”レベルは $V_{th} < -1V$ 、“1”レベルは $0.5V < V_{th} < 1.5V$ 、“2”レベルは $2.5V < V_{th} < 3.5V$ 、“3”レベルは $4.5V < V_{th} < 5.5V$ である。これは、図 14 で示したのと同様に、非選択セル (CG) に印加する電圧 (この場合は 6.5~7.5V) でメモリセルが ON しなければならないためである。読出し時の電圧関係を下記の (表 2) に示す。

【0043】

【表 2】

		“0” と “1”	“1” と “2”	“2” と “3”
D N A N 系 理	BL1	5V		
	BL2	5V		
	SG1	5V	同左	同左
	SG2	5V		
	CG1	6.5~7.5V		
	CG2	0V	2.5V	5V
	CG3	6.5~7.5V		
	CG4	6.5~7.5V		
	Vss	0V	同左	同左
	Vp-well	0V		
	Vn-well	0V		
系 理 A N	SG1'	0V		
	SG2'	0V		
	CG1'	0V	同左	同左
	CG2'	0V		
	CG3'	0V		
	CG4'	0V		

【0044】図 17 に、本実施形態のセルを多値論理に適用した場合のメモリセルのしきい値を示している。メモリセルのしきい値が非選択ワードライン電圧 6.5~7.5V より高くなっても、トランスファー Tr ($T_1 \sim T_4$) が ON となるため、レベル“3”のしきい値幅を狭く制御する必要はなく、この例では 5.5~9V 程度にとれる。このため、レベル“1”、“2”のしきい値幅を広くとることが可能となる。この例では、レベル“1”が 0.5V~1.5V、“2”レベルは 3.0V 50

~4.5V と従来例に比べ 0.5V 広くとることが可能となる。

【0045】また、トランスファー Tr のしきい値は、この実施形態では 5V 以上、6.5V 以下である。なぜなら、もし 5V 以下であれば、浮遊ゲートのしきい値が“3”にあってもトランスファーゲートが ON してしまい、“2”以下のレベルとされる。また、もし 6.5V 以上であれば、非選択時に ON せず、選択セルが読出せない。即ち、トランスファー Tr のしきい値は“2”と

13

“3”を判定する読出し時選択されたNANDセルの選択された制御ゲートに印加する電圧よりも高く、選択されたNANDセルの選択されていない制御ゲートに印加する電圧よりも低くする必要がある。

【0046】本実施形態では、4値の多値論理セルを示したが、3値、8値、16値の多値論理セルに対しても、本発明を適用することが可能である。例えば、 n 値の多値論理セルを考える。この場合のトランスファータ T_r のしきい値はしきい値の低い側から $n-1$ 番目と n 番目を判定する読出し時、選択されたNANDセルの選択された制御ゲートに印加する電圧よりも高く、選択されたNANDセルの非選択の制御ゲートに印加する電圧より低い値に設定しなければならない。

【0047】次に、NOR型のセルの場合について示す。図18(a)は上記セルを示す平面図、図18

(b)はその等価回路図、図19(a)は図18(a)の $X-X'$ 方向断面図、図19(b)は図18(a)の $Z-Z'$ 方向の断面図である。図20に4値の場合のしきい値分布を示す。

【0048】この場合、トランスファータ T_r のしきい値は、“2”と“3”の準位を判定する制御ゲート電圧以上、即ち6V以上でなければならない。6V以上であるとトランスファータ T_r がONしてしまい正常な読出しができない。 n 値の場合についていえば、しきい値の低い方から $n-1$ 番目と n 番目を判定する読出し動作のとき選択された制御ゲートに印加する電圧より高いしきい値のトランスファータ T_r にしなければならない。

【0049】また、図21(a)に素子構造断面図を、

(b)に等価回路図を示すように、フローティングゲート部のトランジスタに直列なトランジスタを、基板に形成した溝内にゲート電極(制御ゲート)を埋め込んで形成することも可能である。溝部に形成されたトランジスタはメモリセル(フローティングゲートを有する)トランジスタと直列接続している。このセルは前記図18に示したNOR型セルに適用可能である。この場合には、微細化の妨げになっていたソース・ドレイン間のパンチスルー耐性が向上し、より一層の微細化が可能になる。

【0050】なお、図21には溝部全体に制御ゲートのポリSiが埋められた構造を示したが、溝内の一部でも構わない。また、フローティングゲートのポリSiが一部溝内に形成されていても構わない。また、図22にこのセルをNAND型に適用した場合の等価回路図を示す。

【0051】図23～25には、フローティングゲートトランジスタと、トランスファータ T_r が直列に接続されたセルをソース・ドレインを共通化した、いわゆるグラウンドアレイセルに適用した場合の実施形態を示す。図23に平面図、図24に等価回路図、図25に図23の $A-A'$ 断面図を示す。図23中斜線部はフローティングゲートである。図25中80は溝部に埋め込ま

14

れた制御ゲートをゲート電極とする T_r のゲート酸化膜である。本実施形態の動作を説明する。動作電圧は下記の(表3)に示す通りである。

【0052】

【表3】

	読出し	消去	書込み
BL1	3V	0V	5V(or0V)
BL2	0V	0V	0V(or5V)
SG1	0V	3V(15V)	0V
SG2	3V	3V(15V)	5V
WL1	0V	15V	0V
WL2	3V	15V	-10V
⋮	⋮	⋮	⋮
WL32	0V	15V	0V
SG3	0V	3V(15V)	0V
SG4	3V	3V(15V)	0V
source	0V	0V	0V
p-well	0V	0V	0V

【0053】図24中の○印のセルを選択した場合である。読出しはBL1からセルを介してソースに電流を流し検知する。消去はフローティングゲートに電子を注入して行われる。書込みはBL及びWL2に電圧を印加し、フローティングゲートからドレイン(図25中の n^+)に電子を抜く。書込み時BLに5V或いは0Vを印加し、電子を抜きさるところ、電子を抜かずに消去状態のままを保つ。

【0054】図26～29に更に他の実施形態を示す。これらのセルは図23～26で示した実施形態のセル部を置き換えることで実施できる。図26は溝底部のみにフローティングゲートを形成し、側壁部をトランジスタとしたもの、図27は片側の n^+ 層をフローティングゲート部まで延ばしたもの、図28はフローティングゲートを基板表面に形成したもの、図29(a)(b)はフローティングゲートを基板表面に形成し、溝の底部に n^+ 層を形成したものである。

【0055】また、図30(a)(b)はグラウンドアレイの n^+ 部分を隣りのセルと分離した場合の等価回路図である。これらは図31(a)(b)及び図32(a)(b)に示した断面構造で実施できる。即ち、溝の側面に n^+ 部を形成し、ソース或いはドレインとし、溝分離により隣りの n^+ 層と分離する。これらの動作は前記

15

(表 3) に示したものと同様である。

【0056】図 3 3 には更に他の実施形態を示す。図 3 4 には図 3 3 に示したセルをアレイ状に配置した図を示す。消去ゲート (EG) は CG と平行に配設している。下記の (表 4) に動作電圧を示す。

【0057】

【表 4】

	CG	EG	D	S
Program	12V	0V	7V	0V
Erase	0V	12V to 22V	0V	0V
Read	5V	0V	1.5V	0V

【0058】program はホットエレクトロン注入でフローティングゲートに電荷を注入し、Erase はフローティングゲートから EG にエレクトロンを抜く。このセルの場合にも、前記図 2 3 ~ 2 9 に示したよう溝の側面ゲート電極を配設することが可能である。そうすることで、フローティングゲート部もコントロールゲート部も実効的なゲート長を長くとることができ、微細化したときにもソース・ドレイン間パンチスルー等の問題が回避できる。

【0059】なお、本発明は上述した各実施形態に限定されるものではない。以上の実施形態では、NANDセル型EEPROMを例にとり説明したが、本発明はこれに限らず、各種のEEPROM及びEPROMに適用することができる。具体的には、制御ゲート型EEPROMに限らず、MNOS型のメモリセルを用いたNANDセル型EEPROMに適用することもである。また、EEPROMではなく、チャンネルイオン注入等により情報を固定的に書き込んだMOSトランジスタをメモリセルとする所謂マスクROMにおいても、NANDセル構成とする場合には適用することが可能である。

【0060】更に、拡散層ビット線を有するグラウンドアレイ型、FACE型、AND型セルに適用することが可能である。更にまた、サブビット線を有するDINOR型にも適用可能である。その他、本発明は、以上挙げた以外の種々のメモリに広範に適用することができ、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0061】

【発明の効果】以上説明したように、本発明の半導体記憶装置では、トレンチ素子分離側面をトランスファートランジスタとして用いているため、合わせずれによる素子特性のバラツキ、不均一性を生じることなく、安定した特性のメモリセルを形成することが出来る。また、そのその結果、占有面積の増加もおこらず、高密度で低コストのメモリの実現が可能である。

【図面の簡単な説明】

16

【図 1】本発明の一実施形態に係わるメモリセルを示す平面図。

【図 2】図 1 の矢視 A - A' 断面図。

【図 3】図 1 の矢視 B - B' 断面図。

【図 4】本発明の一実施形態に係わるメモリセルの等価回路図。

【図 5】本発明の一実施形態に係わるメモリセルの製造工程を示す断面図。

【図 6】本発明の一実施形態に係わるメモリセルの製造工程を示す断面図。

【図 7】本発明の他の実施形態に係わるメモリセルを示す断面図。

【図 8】本発明の更に他の実施形態に係わるメモリセルの製造工程を示す断面図。

【図 9】本発明の更に他の実施形態に係わるメモリセルの製造工程を示す断面図。

【図 10】本発明の更に他の実施形態に係わるメモリセルの製造工程を示す断面図。

【図 11】従来のメモリセルの平面図。

【図 12】従来のメモリセルの等価回路図。

【図 13】図 10 の矢視 A - A'、B - B' 断面図。

【図 14】従来のメモリセルのしきい値分布を示す図。

【図 15】本発明の一実施形態に係わるメモリセルのしきい値分布を示す図。

【図 16】従来のメモリセルを多値論理に適用した場合のしきい値分布を示す図。

【図 17】本発明の一実施形態に係わるメモリセルを多値論理に適用した場合のしきい値分布を示す図。

【図 18】本発明をNOR型セルに適用した場合の平面図と等価回路図。

【図 19】図 18 (a) の X - X' 方向及び Z - Z' 方向の断面図。

【図 20】NOR型セルにおける 4 値の場合のしきい値分布を示す図。

【図 21】フローティングゲート部のトランジスタに直列なトランジスタを、溝内に制御ゲートを埋め込んで形成した例を示す素子構造断面図と等価回路図。

【図 22】図 21 の構成をNAND型に適用した場合の等価回路図。

【図 23】本発明をグラウンドアレイセルに適用した場合の実施形態を示す平面図。

【図 24】本発明をグラウンドアレイセルに適用した場合の実施形態を示す等価回路図。

【図 25】図 23 の A - A' 断面図。

【図 26】本発明の更に別の実施形態を示す素子構造断面図と等価回路図。

【図 27】本発明の更に別の実施形態を示す素子構造断面図。

【図 28】本発明の更に別の実施形態を示す素子構造断面図。

17

【図 2 9】本発明の更に別の実施形態を示す素子構造断面図。

【図 3 0】グラウンドアレイの n^+ 部分を隣りのセルと分離した場合の等価回路図。

【図 3 1】図 3 0 の回路を実現するための素子構造断面図。

【図 3 2】図 3 0 の回路を実現するための素子構造断面図。

【図 3 3】本発明の更に他の実施形態を示す等価回路図。

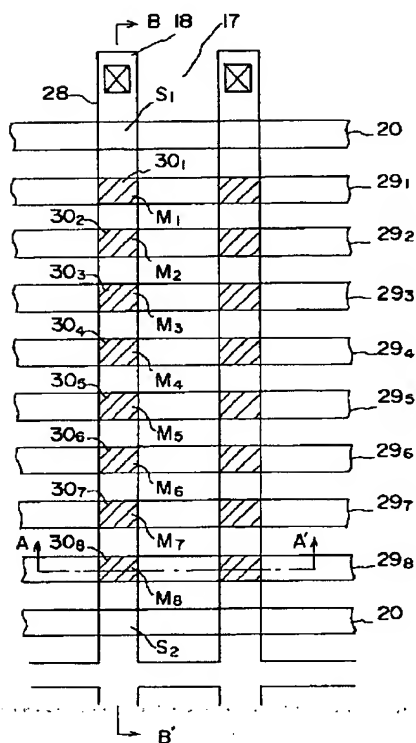
【図 3 4】図 3 3 に示したセルをアレイ状に配置した図。

【符号の説明】

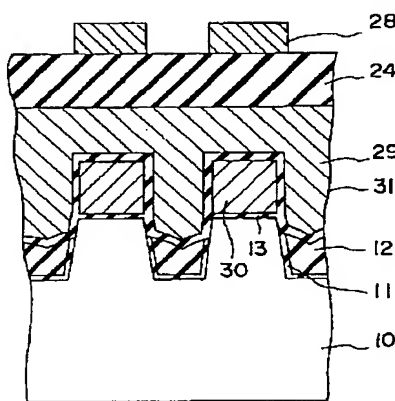
- 1, 4 0 … p 型ウエル、
2, 1 7 … 素子分離領域
3 … ゲート絶縁膜

- * 3 1 … ゲート絶縁膜
3 2 … トンネル絶縁膜
3 3 … 側壁絶縁膜
4, 3 0 … 第 1 層導電膜からなる浮遊ゲート
6, 2 9 … 第 2 導電膜からなる制御ゲート
7, 2 3 … ソース・ドレイン拡散層
8, 2 4 … 層間絶縁膜
9 … ビット線
1 1 … 素子分離用溝 (トレンチ)
1 2 … 埋め込み絶縁膜
1 3 … ゲート絶縁膜
2 0 … 第 2 層導電膜からなるゲート電極
7 2 … ポリシリコン膜
7 3 … SiN 膜
7 4 … トランスファーゲート絶縁膜
* 7 5 … 多結晶膜

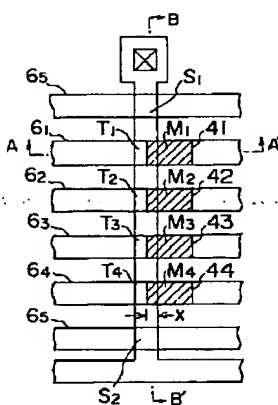
【図 1】



【図 2】

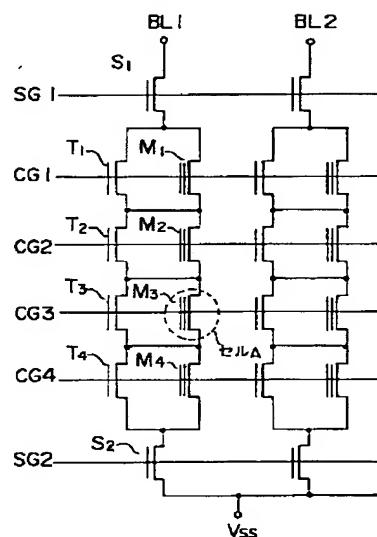


【図 1 1】

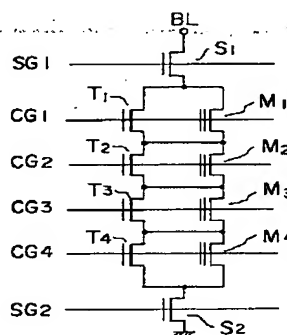


18

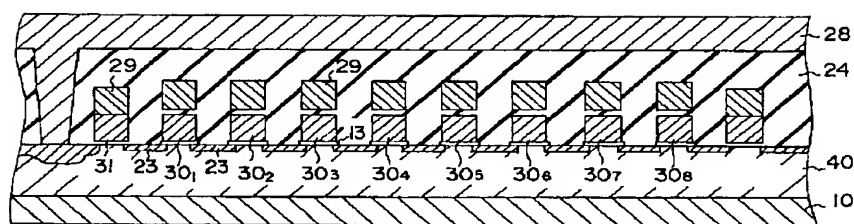
【図 4】



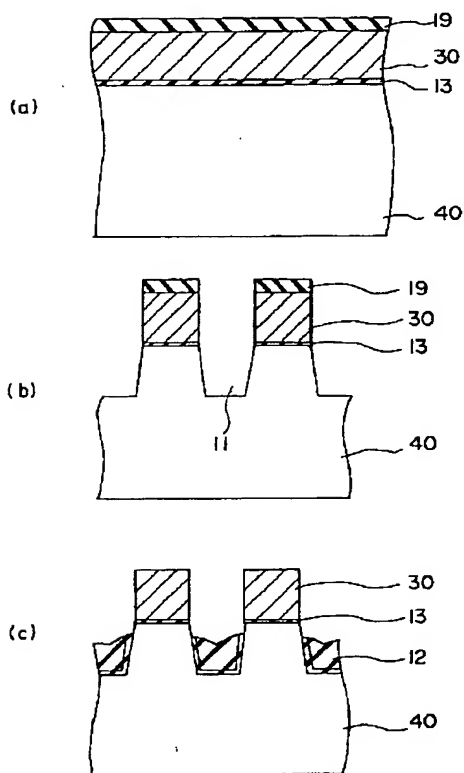
【図 1 2】



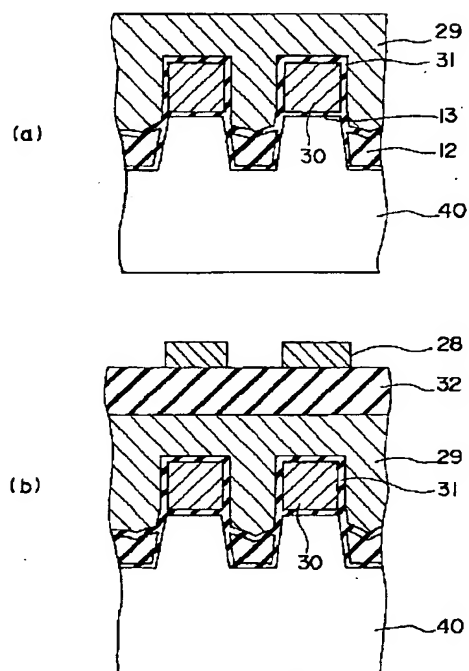
【図 3】



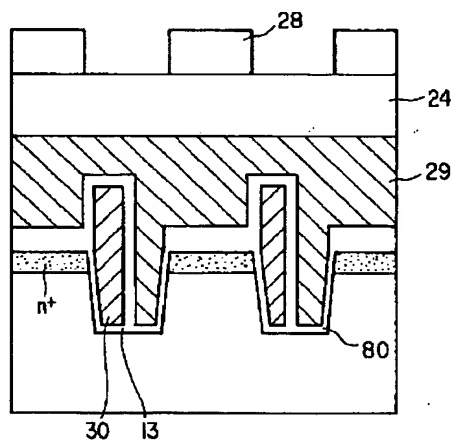
【図 5】



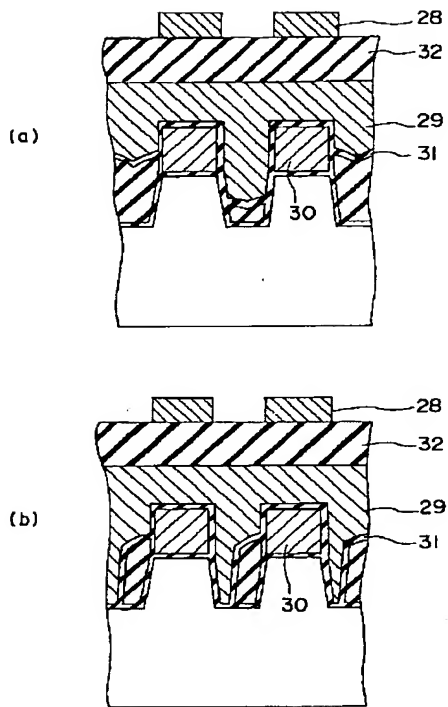
【図 6】



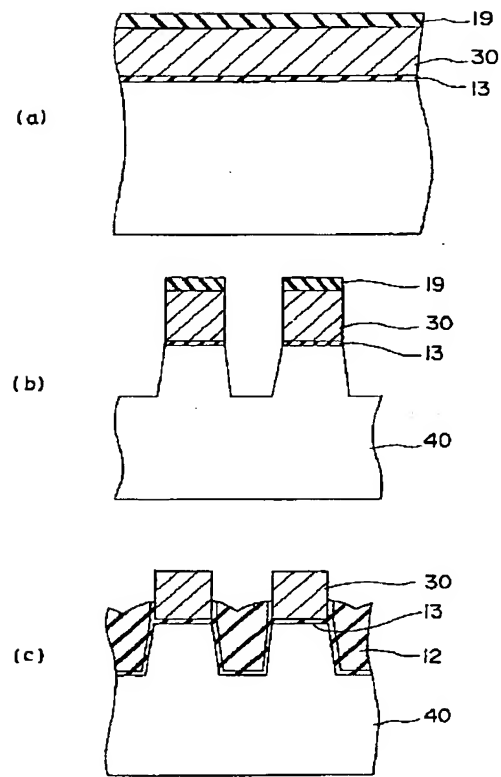
【図 25】



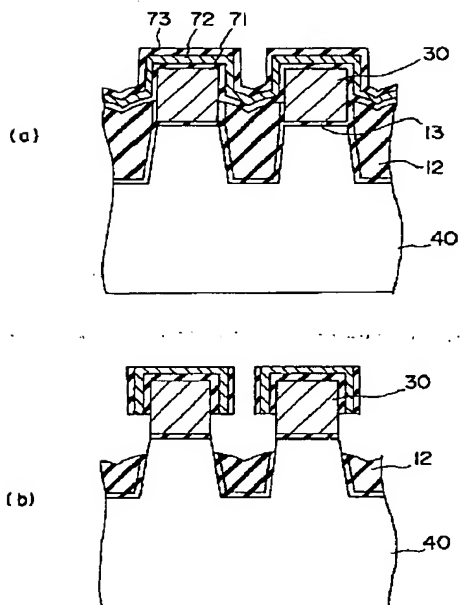
【図 7】



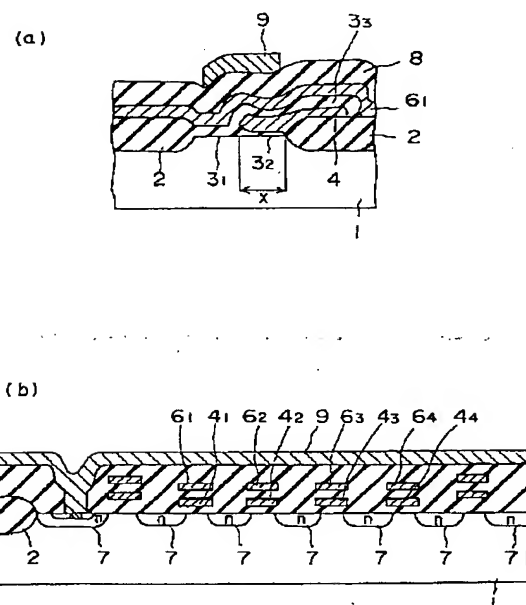
【図 8】



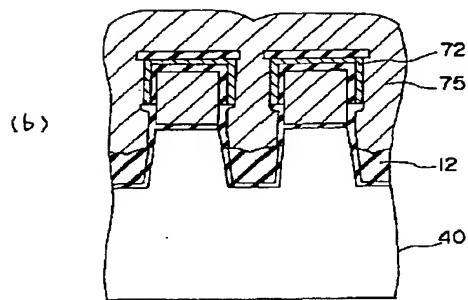
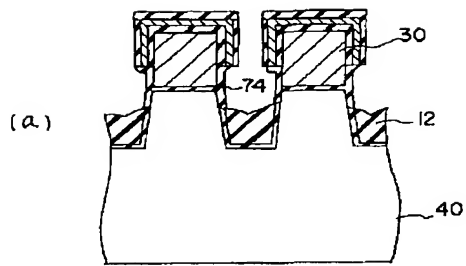
【図 9】



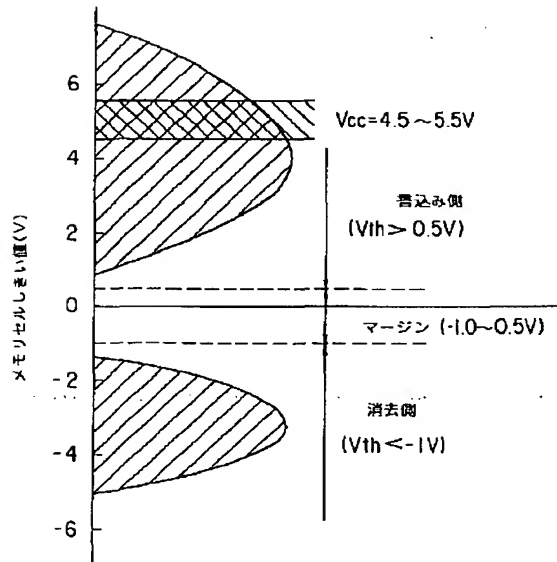
【図 13】



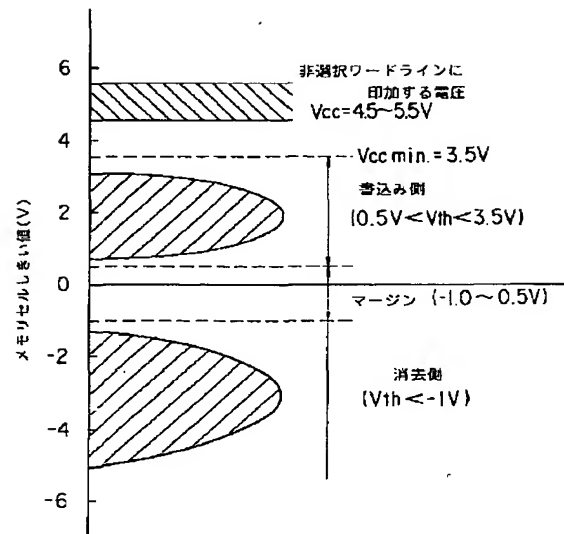
【図10】



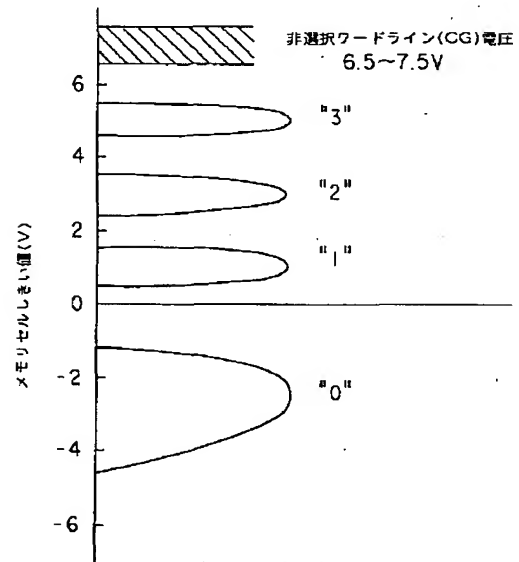
【図15】



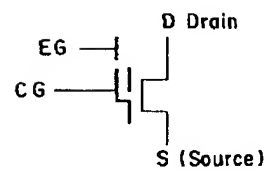
【図14】



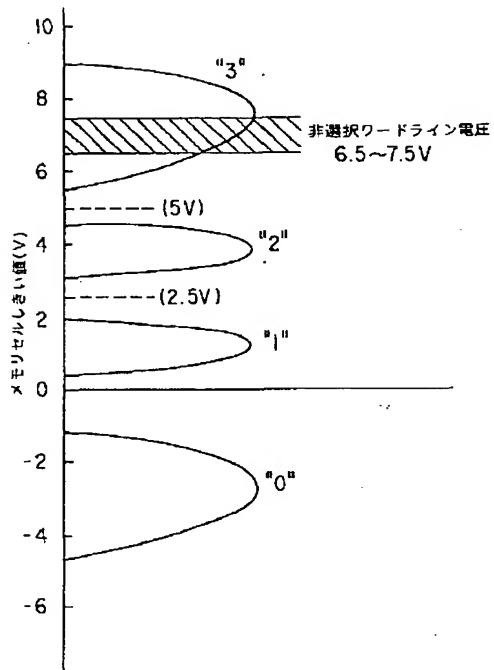
【図16】



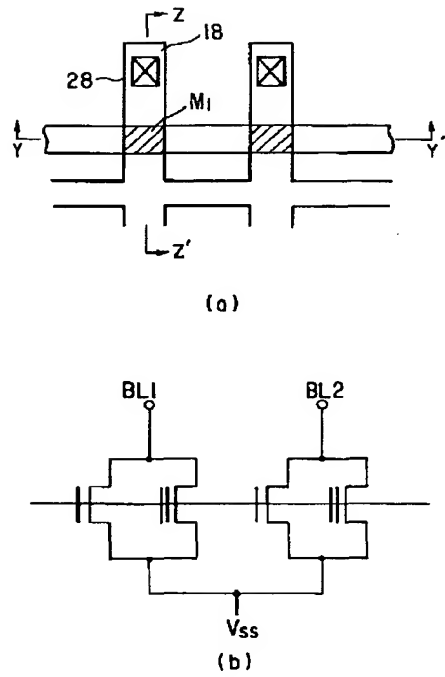
【図33】



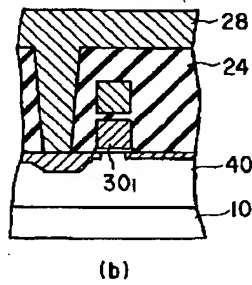
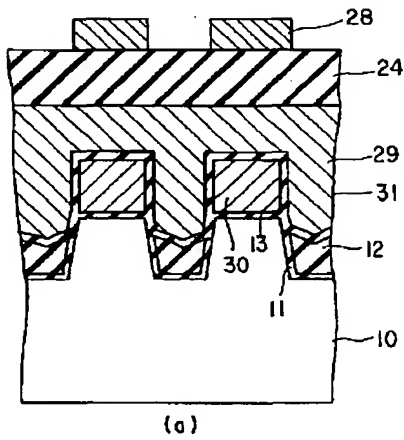
【図 17】



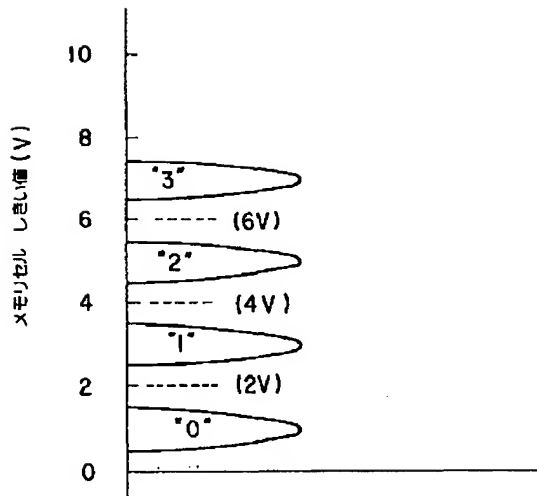
【図 18】



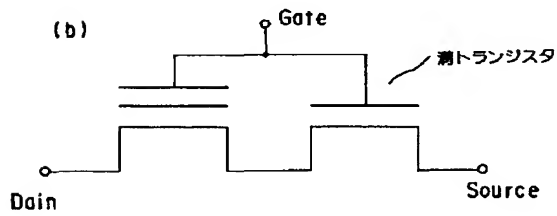
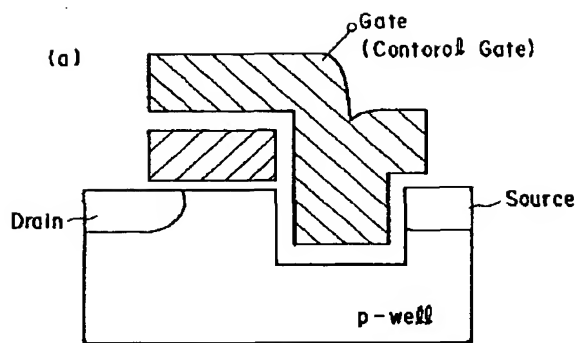
【図 19】



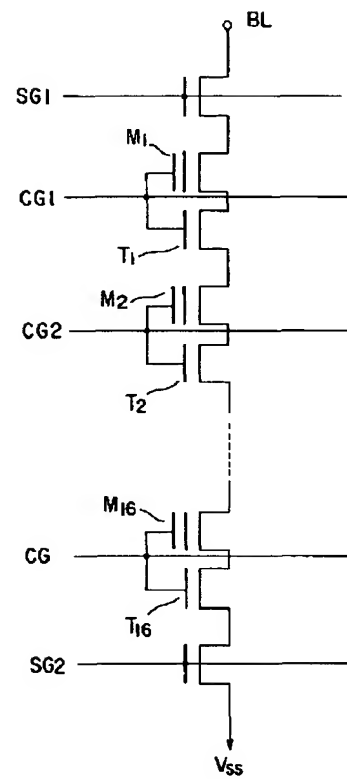
【図 20】



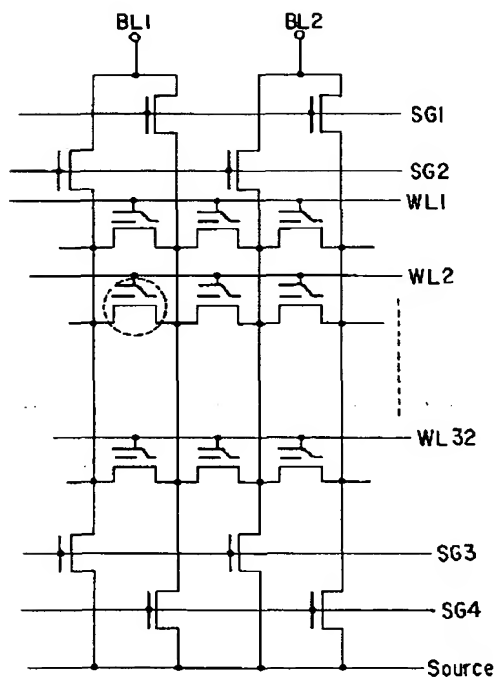
【図 2 1】



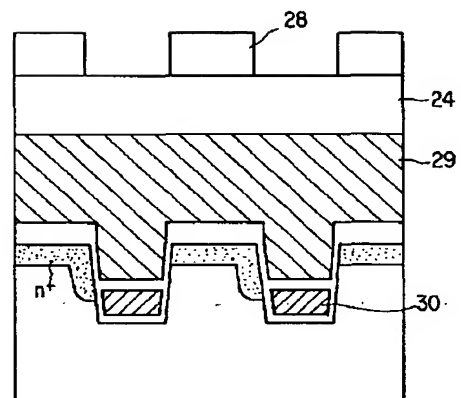
【図 2 2】



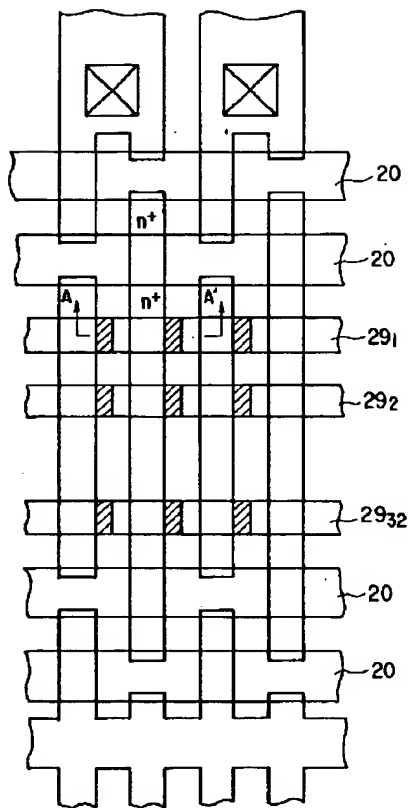
【図 2 4】



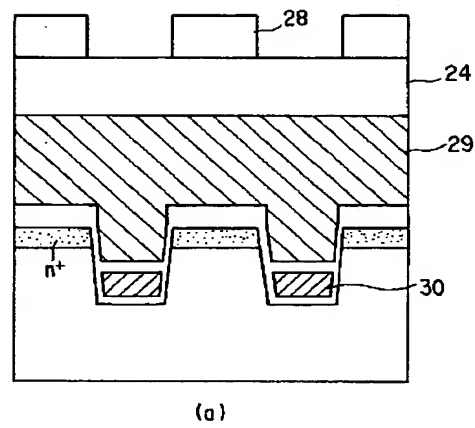
【図 2 7】



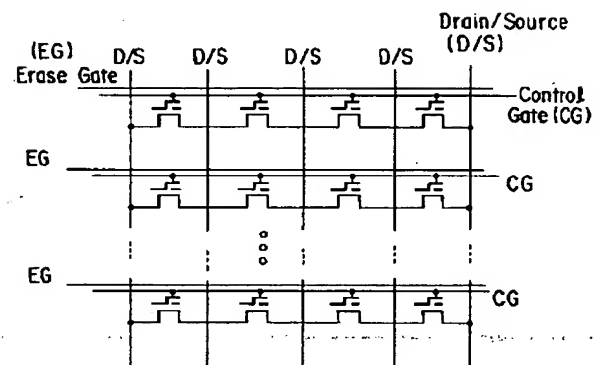
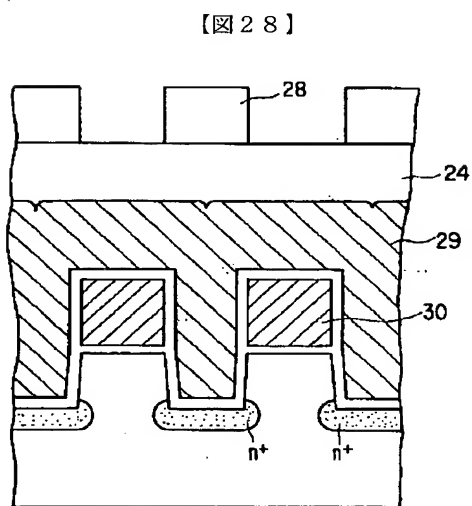
【図 2 3】



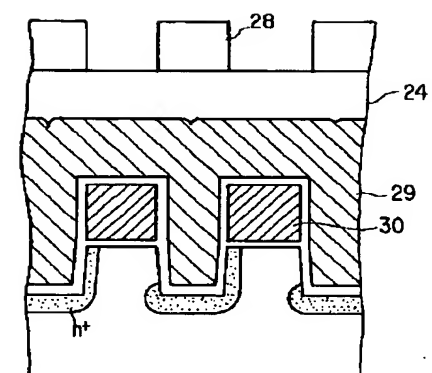
【図 2 6】



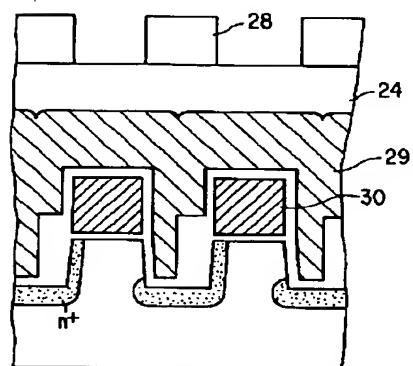
【図 3 4】



【図 2 9】

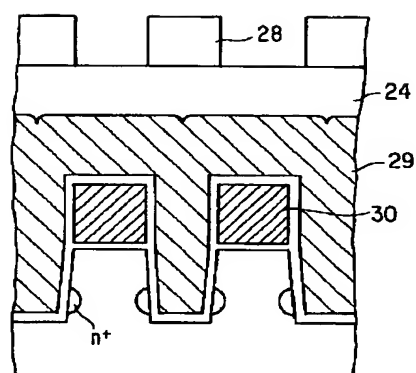


(a)

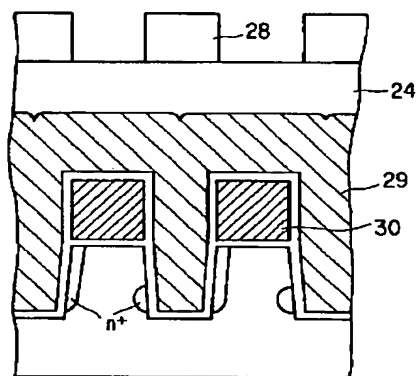


(b)

【図 3 1】

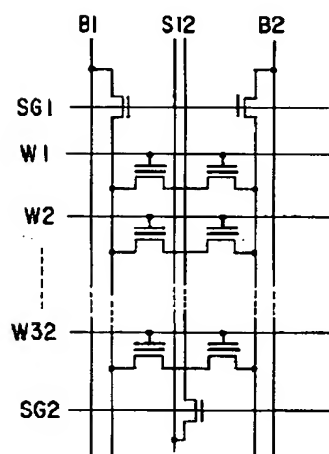


(a)

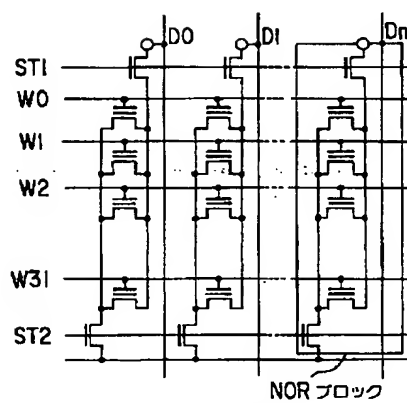


(b)

【図 3 0】

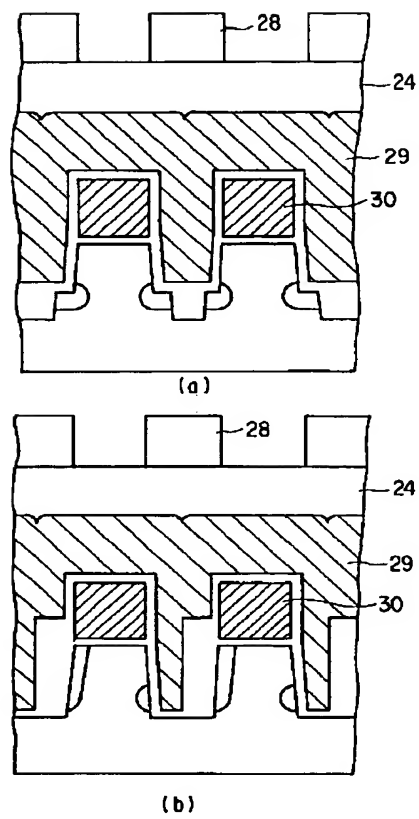


(a)



(b)

【図 3 2】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 29/792

識別記号

序内整理番号

F I

技術表示箇所